



RA8889

TFT LCD 文字图形控制器

规格书

June 5, 2025

RAiO Technology Inc.

©Copyright RAIo Technology Inc., 2020-2025

1. 简介

RA8889 支持 CMOS 准位的接口，规格书内包含：系统方块图、引脚图、AC/DC 电气特性、各个功能子方块、寄存器、省电模式的详细描述。

1.1 概况

RA8889 是一款低功耗及顯示功能強大的彩色 TFT 控制器，內部具有記憶體 SDRAM，為了可以快速為顯示記憶體進行螢幕更新，RA8889 支持 MCU 端 8080/6800 8/16-bit 非同步並列介面與 3/4 線 SPI 及 IIC 串列介面，提供多段的顯示記憶體緩衝區段，並提供畫中畫 (PIP)、透明度控制與顯示旋轉鏡像及內建 JPEG Decoder 等功能。

1.2 系统与芯片示意图

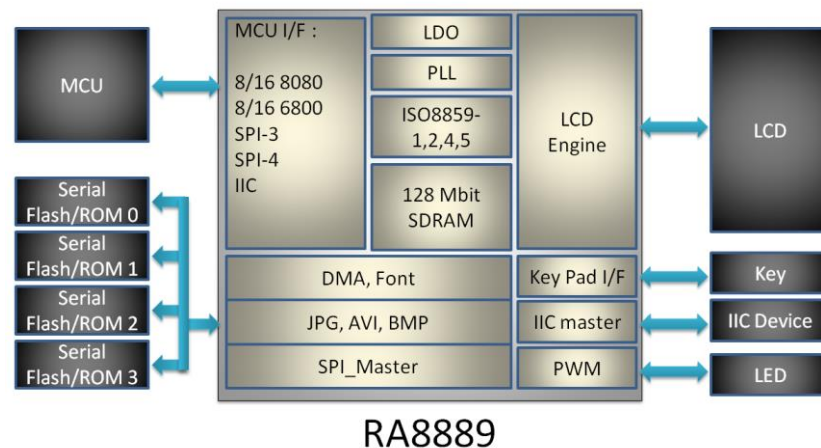


Figure 1-1 : System Diagram

2. 特性

2.1 图框缓冲区

- 内建 128Mb SDRAM

2.2 主控端接口

- 支持 8080/6800 8/16-bit 异步并行接口
 - 对于扩展的 MPU 周期提供 Xnwait 的信号以供交握
- 支持串行主控端接口，例如. IIC, 3/4-wire SPI
- 对于图像数据写入支持镜像与旋转的功能

2.3 输入显示数据格式

- 1bpp: 单色 (1-bit/像素)
- 8bpp: RGB 3:3:2 (1-byte/像素)
- 16bpp: RGB 5:6:5 (2-byte/像素)
- 24bpp: RGB 8:8:8 (3-byte/像素或 4-byte/像素)
 - Index 2:6 (64 索引色/像素并带透明度属性)
 - αRGB 4:4:4:4 (4096 索引色/像素并带透明度属性)
 - αRGB 8:8:8:8 (8 bit alpha, 24bpp 色深)

2.4 显示模式

- 使用者可以设定 24/18/16-bit TFT 显示输出方式

2.5 支持多种屏幕分辨率

- 支援 16/18/24-bit CMOS 接口屏幕
- 支持屏幕分辨率，宽度最大支持 1366 像素点，高度为 2048 像素点以下（注：实际的屏幕分辨率是取决于 pixel clock 与色深）
当 RA8889 TFT Output 支持 24bpp 时

CCLK Max. = 120MHz

SCLK Max. = 60MHz

Required LCD clock $\asymp$ LCD vertical Pixel * LCD horizontal Pixel * 60(Hz) * 1.1

如果 Required LCD Clock > SCLK, 此应用下 LCD 刷新率 Refresh Rate (VSYNC rate) 将会低于 60Hz。

可支持屏幕有：

- QVGA: 320 x 240 x 16/18/24-bit LCD 屏幕
- WQVGA: 480 x 272 x 16/18/24-bit LCD 屏幕
- VGA: 640 x 480 x 16/18/24-bit LCD 屏幕
- WVGA: 800 x 480 x 16/18/24-bit LCD 屏幕
- SVGA: 800 x 600 x 16/18/24-bit LCD 屏幕
- QHD: 960 x 540 x 16/18/24-bit LCD 屏幕
- WSVGA: 1024 x 600 x 16/18/24-bit LCD 屏幕
- XGA: 1024 x 768 x 16/18/24-bit LCD 屏幕
- WXGA: 1280 x 768 x 16/18/24-bit LCD 屏幕
- WXGA: 1280 x 800 x 16/18/24-bit LCD 屏幕
- WXGA: 1366 x 768 x 16/18/24-bit LCD 屏幕

2.6 显示功能

- 使用者可自行定义 4 个 32X32 图形光标
- 显示窗口

显示窗口大小是经由定义 LCD 寄存器得到，而透过底图 (canvas) 寄存器设定可以对显示窗口进行全部或部分更新。工作窗口的大小与起始位置的分辨率在水平上必须是以 8 个像素的倍数，以垂直而言则是 1 个扫描线的倍数。窗口的坐标参考原点为左上角(即使在翻转图像或旋转文字时，亦不需要主控端处理)。

- 虚拟显示

虚拟显示可用于显示大于 LCD 面板尺寸的图像。图像可以在任何方向上轻松滚动。

- 画中画 (PIP)

支持两个画中画窗口，当使能画中画窗口时则画中画窗口会永远显示在主窗口中。画中画窗口的大小与起始位置水平上是 4 个像素的倍数，垂直上则是一条扫描线。透过设定画中画窗口的起始位置可以达成图像的滚动。画中画 1 的窗口永远显示在画中画 2 上面。

- 多重缓冲区

多重缓冲允许在缓冲区之间切换主显示窗口。缓冲区的数量取决于欲写入缓冲区的影像大小。多重缓冲允许通过切换缓冲区来执行简单的动画显示。

- 唤醒显示

唤醒显示效果如果被使能时，那唤醒时可以快速显示预先储存在 SDRAM 中的显示数据。这个功能是在 Standby 与 Suspend 模式唤醒时使用。

- 水平/垂直翻转显示

水平/垂直翻转显示功能只适用在显示上，对于其它功能子方块的读写是不影响的，在垂直翻转显示使能时 PIP 是被禁能的。

- 彩条显示 (Color Bar Display)

在没有 SDRAM 的情况下仍然可以以彩条的方式显示，预设分辨率为 640x480 像素。

2.7 媒体解码单元 (MDU)

- 自动分辨 JPEG, BMP 和 AVI 格式。
- 支持 JPEG baseline profile, YUV444, YUV422, YUV420, YUV400, 不支持 restart interval 格式。
- 支持带原始数据 (未压缩) 的标准 BMP 格式。
- 支持 AVI (motion JPEG) 视频显示。
- 提供 AVI 显示的自动播放、暂停和停止功能。

2.8 区块传输引擎 (BTE)

- 2D BitBLT 引擎
- 具有光栅操作与颜色扩展的复制数据
- 方型填满与图样填满
 - 提供使用者定义的 8x8/16x16 像素的图样

- 混合透明 (Opacity)

使用混合透明模式可以将两个图档混和成新的图形, 然后再用画中画的方式显示出来。在处理的速度上而言混合透明与待处理图档大小有关, 此外, 亦可处理单张图档。

- 纯色抽离 (Chroma-keying) 功能: 经由指定的 RGB 颜色来做为透明的参考并进行混和影像的处理。
- 图形混合透明 (Alpha-blending): 根据寄存器设定透明的比率来进行两张图像的混成 (淡入与淡出功能必须被使能)。
- 像素混合透明 (Alpha-blending): 根据 RGB 格式来混合影像, 例如 8bit RGB, 则 MSB 2bit 为 α 值。

2.9 几何绘图引擎

- 支持画点、线、曲线、圆、椭圆、三角形、矩形、圆角矩形

2.10 SPI 主接口

2.10.1 文字功能

- 内建 ISO/IEC 8859-1/2/4/5. 12x24
- 支持集通 16X16/24X24/32X32 串行字型 ROM 例如 Uni-code/BIG5/GB 等等, 支持的集通型号有 GT21L16T1W、GT30L16U2W、GT30L24T3Y、GT30L24M1Z、GT30L32S4W、GT20L24F6Y、GT21L24S1W
- 支持使用者自定义字型半角 (8x16/12x24/16x32) 与全型
- 对于写入文字支持可程序文字光标
- 支持垂直水平放大字型 X1, X2, X3, X4 倍数
- 支持文字 90 度旋转

2.10.2 DMA 功能

- 支持外部串行闪存 (serial flash) 数据复制至图框缓冲区
- 支援外部闪存 Single/Dual/Quad mode

2.10.3 一般主 SPI 功能

- 兼容 Motorola SPI 规格
- 16 bytes 读取深度的 FIFO
- 16 bytes 写入深度的 FIFO
- 在 Tx FIFO 完全清空并且 SPI Tx/Rx 引擎闲置时会发出中断

2.10.4 IDEC 功能

- 支持外部串行闪存 (serial flash) 数据透过 MDU 至图框缓冲区
- 支援外部串行闪存 Quad mode

2.11 IIC 接口

- IIC master interface
 - 可以使用在扩充 I/O device, 例如在屏幕控制的触控屏幕
 - 支持标准模式 (100kbps) 与快速模式 (400kbps)

2.12 脉宽调制与定时器

- 内建两个 16-bit 计数器
- 一个 8-bit pre-scalars 与一个 4-bit 除频
- 输出波形的工作周期是可程序化的
- 自动重加载模式或单击模式
- Dead-Zone 保护

2.13 按键接口

- 支持 5x5 键盘 (必须使用与 GPIO 的共享脚)
 - 可程序化的扫描周期
 - 支持长按键与重复键
 - 支持同时按两键
- 注: 在限制条件下可以支持同时按 3 键 (3 个键线段组成角度必须不是 90°)
- 支持键盘唤醒功能

2.14 省电模式

- 支持 3 种省电模式
 - 待机 (Standby)、休眠 (Suspend) 与睡眠 (Sleep) 模式
- 可以使用主控端、按键、外部事件唤醒

2.15 频率来源

- 内建可程序锁相回路 PLL 以提供系统频率、LCD 扫描频率与 SDRAM 频率使用
- 单一石英晶体震荡输入: (XI/XO: 10MHz)
- 内部核心最大系统频率 (最大值 120MHz)
- SDRAM 频率 (最大值 166MHz)
- LCD 屏幕扫描频率 (最大值 100MHz)

2.16 复位

- 接受外部硬件复位
- 软件命令复位

2.17 电源

- I/O 电压: 3.3V +/- 0.3V
- 内建 1.2V LDO for core power

2.18 封装

- LQFP-100
- 操作温度: -40°C ~ 85°C

3. 产品封装

3.1 RA8889 封装引脚图

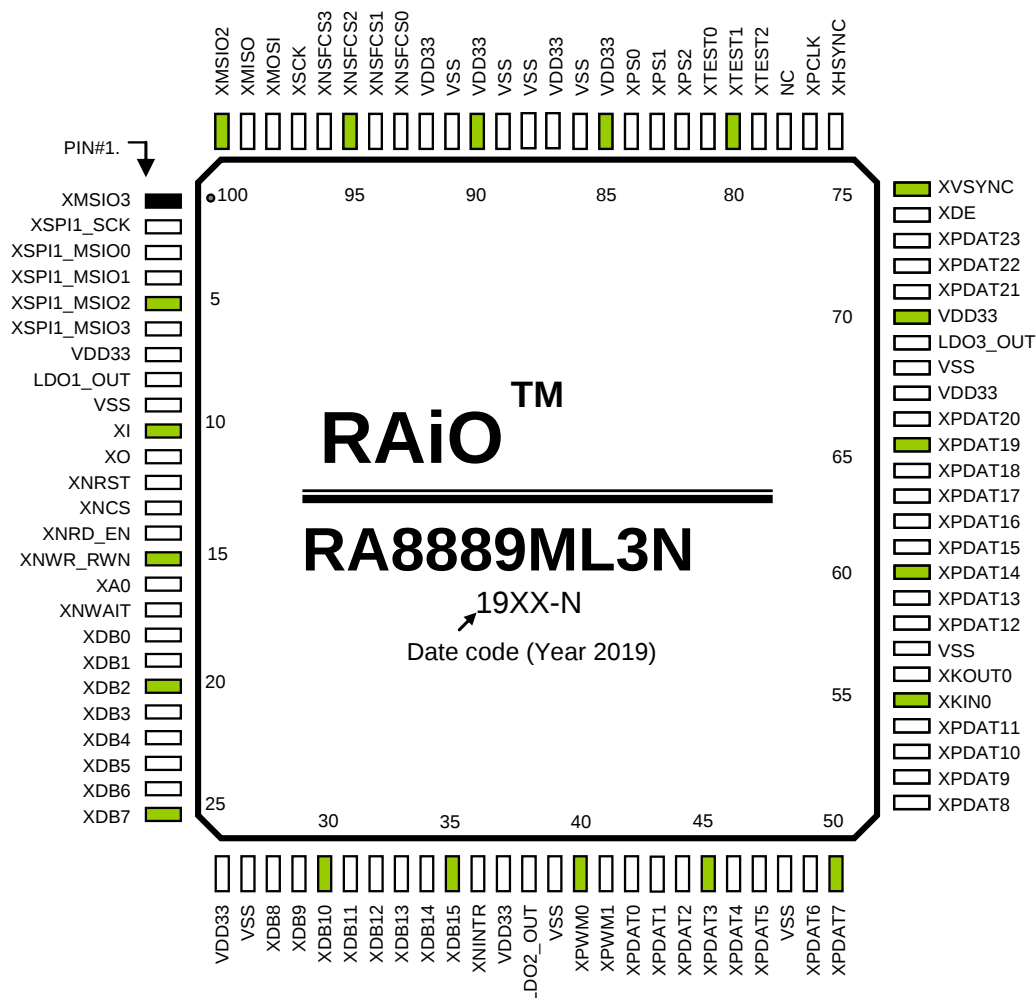
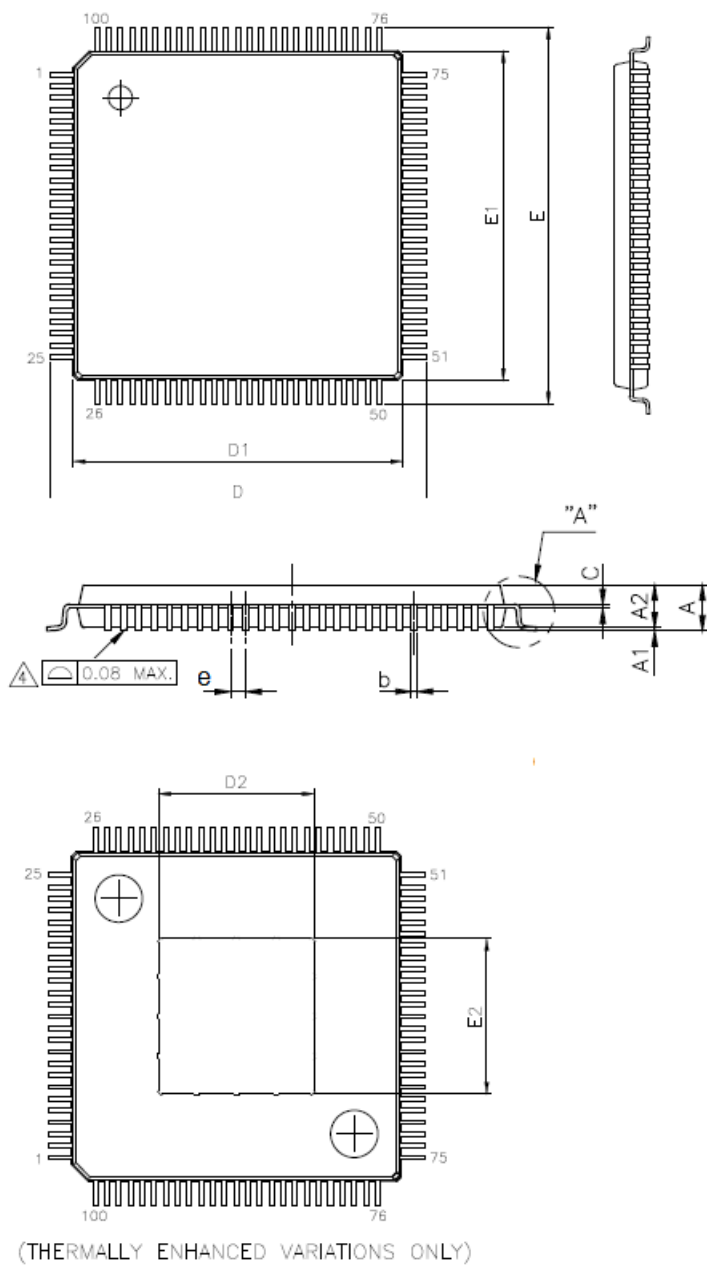


Figure 3-1

3.2 封装尺寸



VARIATIONS (ALL DIMENSIONS SHOWN IN MM)

SYMBOLS	MIN.	NOM.	MAX.
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
b	0.17	0.20	0.26
c	0.10	0.127	0.20
D	16.00 BSC		
D1	14.00 BSC		
E	16.00 BSC		
E1	14.00 BSC		
e	0.50 BSC		
L	0.45	0.60	0.75
L1	1.00 REF		

THERMALLY ENHANCED DIMENSIONS(SHOWN IN MM)

PAD SIZE	D2		E2	
	MIN.	MAX.	MIN.	MAX.
26*x26* MIL	6.35	6.65	6.35	6.65

"*" is an universal character, which means maybe replaced by specific character, the actual character please refers to the bonding diagram.

NOTES:

1. JEDEC OUTLINE:
MS-026 BOD.
2. DATUM PLANE [H] IS LOCATED AT THE BOTTOM OF THE MOLD PARTING LINE COINCIDENT WITH WHERE THE LEAD EXITS THE BODY.
3. DIMENSIONS D1 AND E1 DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE PROTRUSION IS 0.25 mm PER SIDE. DIMENSIONS D1 AND E1 DO INCLUDE MOLD MISMATCH AND ARE DETERMINED AT DATUM PLANE [H].
4. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION.

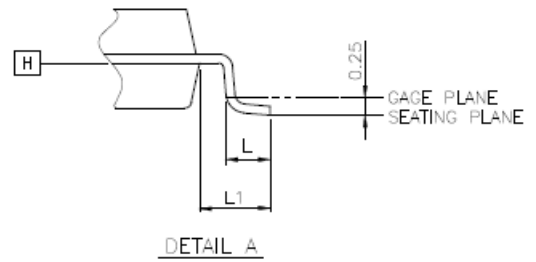


Figure 3-2 : RA8889 Package Outline Dimensions

4. 引脚定义

4.1 并行主控端接口 (25 引脚)

引 脚 名 称	I/O	引 脚 说 明
XDB[15:0]	IO (8mA)	数据总线 数据总线提供主控端与RA8889 的并行接口数据传送。 XDB[15:8] 可以设定 GPIO (GPIO-A[7:0]), 前提是没有设定成 8080/6800 16-bits并行接口数据总线。 XDB[7:0] 如果在串行主控端模式下, 此讯号也提供为串行的主控端信号使用, 请参考串行主控端接口章节。
XA0	I	命令/数据 选择 此引脚被使用在选择命令还是数据的周期。 XA0 = 0, 状态读取/命令写入。 XA0 = 1, 数据读取/数据写入。
XNCS	I	芯片使能 低电平使能, 如果主控端设定 RA8889 为串行主控端模式, 则此引脚设定为 GPI-B0 并且读取引脚的值, 引脚内部有提升电阻。
XNRD_EN (XEN)	I	使能/读取使能 当微处理器是 8080 系列, 此引脚是当作 XnRD 使用 (读取数据), 低电平动作。 当微处理器是 6800 系列, 此引脚是当作 XEN 使用 (使能信号), 高电平动作。 如果主控端接口设定成串行主控模式, 那么此引脚则为 GPI-B1, 并且可读取引脚上的电压值。 内建提升电阻。
XNWR_RWN (XRnW)	I	写入/读写 当微处理器接口是 8080 系列, 此引脚会成为 XnWR (数据写入), 低电平动作。 当微处理器接口是 6800 系列, 此引脚会成为 XRnW (数据 读取/写入), 读取时是高电平动作, 写入是低电平动作。 如果主控端接口是设定成串行主控模式, 那么此引脚将会成为 GPI-B2。 内建提升电阻。
XNINTR	O (8mA)	中断信号输出 告知主控端目前内部状态的中断输出。
XNWAIT	O (8mA)	等待信号输出 当 XnWAIT 为 high, 表示 RA8889 已经准备好传输数据, 当 XnWAIT 为 low, 微处理器应该进入等待周期。
XPS[2:0]	I	并行/串行 主控端接口选择 00X: (并行主控端) 8080 8/16-bits 数据总线接口。 01X: (并行主控端) 6800 8/16-bits 数据总线接口。 100: (串行主控端) 3-wire SPI。 101: (串行主控端) 4-wire SPI。 11x: (串行主控端) IIC。 注: 如果主控端接口设定成并行主控端模式, 那么 XPS[0] 为外部中断接脚。

4.2 串行主控端接口 (与并列主控端接口)

引腳名稱	I/O	引腳說明
XSSCL (XDB[7])	I	SPI 与 IIC 频率 XSSCL、3-wire、4-wire 串行或 IIC 接口频率。
XSSDI XSSDA (XDB[6])	I	IIC 数据/4-wireSPI 数据输入 3-wire SPI 接口: NC, 请连接到 GND。 4-wire SPI 接口: XSSDI 串行接口数据输入。 IIC 接口: XSSDA 串行接口输入输出双向。
XSSD XSSDO (XDB[5])	IO	3-wire SPI 数据/4-wireSPI 数据输出/IIC Slave 位置选择 3-wire SPI I/F: XSSD, 串行接口输入输出双向数据传输。 4-wire SPI I/F: XSSDO, 串行接口数据输出。 IIC 接口: XIICA[5], IIC 设备地址 bit [5]。
XnSCS (XDB[4])	I	SPI 使能/IIC Slave 地址选择 XnSCS, 在 3-wire 与 4-wireSPI 串行接口中, 此引脚为使能信号。 IIC 接口: XIICA[4], IIC 设备地址 bit [4]。
XIICA[3:0] (XDB[3:0])	I	IIC 接口: IIC Slave 地址选择 XIICA[3:0], 在 3-wire 与 4-wire SPI 接口: NC, 请连接到 GND。 IIC 接口: IIC 设备地址 bit [3:0]。

4.3 Serial Flash 或 SPI master 接口 (14 引脚)

引腳名稱	I/O	引腳說明
XNSFCS0	IO (8mA)	外部 Serial Flash/ROM SPI 芯片选择 0 SPI 芯片选择接脚#0 使用在 Serial Flash/ROM 或 SPI 裝置選擇上。 *如果 SPI master 被禁能, 那麼此引脚可以被程序規劃成 GPIO (GPIO-C3), 预设 GPIO-C3 为輸入功能。
XNSFCS1	IO (8mA)	外部 Serial Flash/ROM SPI 芯片选择 1 SPI 芯片选择脚#1 使用在 Serial Flash/ROM 或 SPI 裝置選擇上。 * 如果 SPI master 被禁能, 那么此引脚可以被程序规划成 GPIO (GPIO-C4), 预设 GPIO-C4 为輸入功能。 *如果 xtest[2:1]不等於 01b 那麼在 reset 週期時會自动 pull-high。
XNSFCS2	IO (8mA)	外部 Serial Flash/ROM SPI 芯片选择 2 SPI 芯片选择脚#2 使用在 Serial Flash/ROM 或 SPI 裝置選擇上。
XNSFCS3	IO (8mA)	外部 Serial Flash/ROM SPI 芯片选择 3 SPI 芯片选择脚#3 使用在 Serial Flash/ROM 或 SPI 裝置選擇上。
XSCK	IO (8mA)	SPI 串行时钟 此引脚是串行时钟输出, 主要是給 Serial Flash/ROM 或 SPI 裝置使用。 * 如果 SPI master 接口被禁能, 那么此引脚可以被程序规划为 GPIO (GPIO-C0); 预设 GPIO-C0 为輸入功能。

引腳名稱	I/O	引腳說明
XMOSI (XSIO0)	IO (8mA)	主輸出從輸入 Single 模式: Serial Flash/ROM 或 SPI 裝置輸入資料用。對 RA8889 而言此腳為輸出。 Dual 模式: 此引腳為雙向資料傳送#0 (SIO0)，此功能只能在 Serial flash DMA 使用。 *如果 SPI master 接口被禁能，那麼此引腳可以被程序規劃為 GPIO (GPIO-C1); 預設 GPIO-C1 為輸入功能。
XMISO (XSIO1)	IO (8mA)	主輸入從輸出 Single 模式: Serial Flash/ROM 或 SPI 裝置輸出資料用。對 RA8889 而言此腳為輸入。 Dual 模式: 此引腳為雙向資料傳送#1 (SIO1)。此功能只能在 Serial flash DMA 使用。 *如果 SPI master 介面被禁能，那麼此引腳可以被程序規劃為 GPIO (GPIO-C2)，預設 GPIO-C2 為輸入功能。
XSIO2	IO (8mA)	從輸入 IO2 Qaud mode: Serial Flash/ROM 或 SPI 裝置輸出資料用。對 RA8889 而言此腳為輸入。
XSIO3	IO (8mA)	從輸入 IO3 Qaud mode: Serial Flash/ROM 或 SPI 裝置輸出資料用。對 RA8889 而言此腳為輸入。
XSPI1_SCK	IO (8mA)	SPI 串列時鐘 (SPI 1) 此引腳是串列時鐘輸出，主要是給 Serial Flash/ROM 或 SPI 裝置使用。 * 如果 SPI master 介面被禁能，那麼此引腳可以被程序規劃為 GPIO (GPIO-C0); 預設 GPIO-C0 為輸入功能。
XSPI1_MSIO0	IO (8mA)	主輸出從輸入 (SPI 1) Single 模式: Serial Flash/ROM 或 SPI 裝置輸入資料用。對 RA8889 而言此腳為輸出。 Dual 模式: 此引腳為雙向資料傳送#0 (SIO0)，此功能只能在 Serial flash DMA 使用。 *如果 SPI master 介面被禁能，那麼此引腳可以被程序規劃為 GPIO (GPIO-C1); 預設 GPIO-C1 為輸入功能。
XSPI1_MSIO1	IO (8mA)	主輸入從輸出 Single 模式: Serial Flash/ROM 或 SPI 裝置輸出資料用。對 RA8889 而言此腳為輸入。 Dual 模式: 此引腳為雙向資料傳送#1 (SIO1)。此功能只能在 Serial flash DMA 使用。 *如果 SPI master 介面被禁能，那麼此引腳可以被程序規劃為 GPIO (GPIO-C2)，預設 GPIO-C2 為輸入功能。

引腳名稱	I/O	引腳說明
XSPI1_MSIO2	IO (8mA)	從輸出 IO 2 (SPI 1) Qaud mode: Serial Flash/ROM 或 SPI 裝置輸出資料用。對 RA8889 而言此腳為輸入。
XSPI1_MSIO3	IO (8mA)	從輸出 IO 3 (SPI 1) Qaud mode: Serial Flash/ROM 或 SPI 裝置輸出資料用。對 RA8889 而言此腳為輸入。

4.4 PWM 接口 (2 引腳)

引腳名稱	I/O	引腳說明
XPWM0	IO (8mA)	PWM 信号输出 1 XPWM 0 的输出模式可以在寄存器中指定。 如果 PWM 被禁能，那么此引脚可以被程序规划为 GPIO (GPIO-C7)，预设 GPIO-C7 是输入功能或是输出核心频率。
XPWM1 (XCLK3)	IO (8mA)	PWM 信号输出 2 / 频率 3 输入(屏幕扫描频率) 当 XTEST[0]为低电平时： XPWM1 可以被设定为输出其输出模式可经由寄存器设定来完成。那么其输出可以指定为标准的 XPWM1 功能，oscillator 频率输出或是 SCAN 频宽不足与超过内存地址的错误标志。 当 XTEST[0] 为高电平时： XPWM1 引脚就是外部屏幕扫描频率 3 输入。

4.5 键盘扫描 (10 引腳)

引腳名稱	I/O	引腳說明
XKIN[4:0]	I	按键数据或 GPIOs (General Purpose Input) 按键数据输入 (预设)，内建 pull-up 电阻。 XKIN[0] 具有 IIC master 的 XSCL 功能。 In RA8889, XKIN [4:1] 与 XPDAT、GPIO-D 共享引脚。
XKOUT[4:0]	O (2mA)	Keypad 闪控或 GPIOs (General Purpose Output) Keypad 矩阵使用闪控扫描键盘，引脚上为 open-drain 输出 (预设)。 XKOUT[0] 具有 IIC master 的 XSDA 功能。 In RA8889, XKOUT [4:1] 与 XPDAT、GPIO-D 共享引脚。

4.6 LCD 屏幕数字接口 (28 引脚)

引 腳 名 稱	I/O	引 腳 說 明																																																																																																																																
XPCLK	O (8mA)	屏幕扫描频率 屏幕扫描频率兼容于通用的 TFT 接口信号。 此信号为 SPLL 驱动产生。																																																																																																																																
XVSYNC	O (4mA)	VSYNC Pulse 垂直同步信号 VSYNC 兼容于通用的 TFT 接口信号。																																																																																																																																
XHSYNC	O (4mA)	HSYNC Pulse 水平同步信号 HSYNC 兼容于通用的 TFT 接口信号。																																																																																																																																
XDE	O (4mA)	Data 使能 通用 TFT 接口的 data 有效或 data 使能信号。																																																																																																																																
XPDAT [23:0]	IO (4mA)	LCD 屏幕数据总线 输出数据至 TFT LCD 数据总线，RA8889 可经由寄存器设定以支持 64K/262K/16.7M 色深，使用者可以经由不同的设定连结相对应的 RGB 总线。																																																																																																																																
		<table><tr><th>Pin Name</th><th colspan="4">Digital TFT Interface</th></tr><tr><th>TFT output Setting</th><th>11b (GPIO)</th><th>10b (16-bits)</th><th>01b (18-bits)</th><th>00b (24-bits)</th></tr><tr><td>XPDAT[0]</td><td colspan="3">GPIO-D0/ XKIN[1]</td><td>B0</td></tr><tr><td>XPDAT[1]</td><td colspan="3">GPIO-D1/ XKIN[2]</td><td>B1</td></tr><tr><td>XPDAT[2]</td><td colspan="2">GPIO-D6/ XKIN[4]</td><td>B0</td><td>B2</td></tr><tr><td>XPDAT[3]</td><td>GPIO-E0</td><td>B0</td><td>B1</td><td>B3</td></tr><tr><td>XPDAT[4]</td><td>GPIO-E1</td><td>B1</td><td>B2</td><td>B4</td></tr><tr><td>XPDAT[5]</td><td>GPIO-E2</td><td>B2</td><td>B3</td><td>B5</td></tr><tr><td>XPDAT[6]</td><td>GPIO-E3</td><td>B3</td><td>B4</td><td>B6</td></tr><tr><td>XPDAT[7]</td><td>GPIO-E4</td><td>B4</td><td>B5</td><td>B7</td></tr><tr><td>XPDAT[8]</td><td colspan="3">GPIO-D2/ XKIN[3]</td><td>G0</td></tr><tr><td>XPDAT[9]</td><td colspan="3">GPIO-D3/ XKOUT[3]</td><td>G1</td></tr><tr><td>XPDAT[10]</td><td>GPIO-E5</td><td>G0</td><td>G0</td><td>G2</td></tr><tr><td>XPDAT[11]</td><td>GPIO-E6</td><td>G1</td><td>G1</td><td>G3</td></tr><tr><td>XPDAT[12]</td><td>GPIO-E7</td><td>G2</td><td>G2</td><td>G4</td></tr><tr><td>XPDAT[13]</td><td>GPIO-F0</td><td>G3</td><td>G3</td><td>G5</td></tr><tr><td>XPDAT[14]</td><td>GPIO-F1</td><td>G4</td><td>G4</td><td>G6</td></tr><tr><td>XPDAT[15]</td><td>GPIO-F2</td><td>G5</td><td>G5</td><td>G7</td></tr><tr><td>XPDAT[16]</td><td colspan="3">GPIO-D4/ XKOUT[1]</td><td>R0</td></tr><tr><td>XPDAT[17]</td><td colspan="3">GPIO-D5/ XKOUT[2]</td><td>R1</td></tr><tr><td>XPDAT[18]</td><td colspan="2">GPIO-D7/ XKOUT[4]</td><td>R0</td><td>R2</td></tr><tr><td>XPDAT[19]</td><td>GPIO-F3</td><td>R0</td><td>R1</td><td>R3</td></tr><tr><td>XPDAT[20]</td><td>GPIO-F4</td><td>R1</td><td>R2</td><td>R4</td></tr><tr><td>XPDAT[21]</td><td>GPIO-F5</td><td>R2</td><td>R3</td><td>R5</td></tr><tr><td>XPDAT[22]</td><td>GPIO-F6</td><td>R3</td><td>R4</td><td>R6</td></tr><tr><td>XPDAT[23]</td><td>GPIO-F7</td><td>R4</td><td>R5</td><td>R7</td></tr></table> *未使用的引脚可以被程序规划成 GPIO-D/E/F(预设) 或 XKIN/XOUT，预设是 18bpp 色深模式，因此 XPDAT[17:16/8/9/1:0] 预设是 GPI 模式。	Pin Name	Digital TFT Interface				TFT output Setting	11b (GPIO)	10b (16-bits)	01b (18-bits)	00b (24-bits)	XPDAT[0]	GPIO-D0/ XKIN[1]			B0	XPDAT[1]	GPIO-D1/ XKIN[2]			B1	XPDAT[2]	GPIO-D6/ XKIN[4]		B0	B2	XPDAT[3]	GPIO-E0	B0	B1	B3	XPDAT[4]	GPIO-E1	B1	B2	B4	XPDAT[5]	GPIO-E2	B2	B3	B5	XPDAT[6]	GPIO-E3	B3	B4	B6	XPDAT[7]	GPIO-E4	B4	B5	B7	XPDAT[8]	GPIO-D2/ XKIN[3]			G0	XPDAT[9]	GPIO-D3/ XKOUT[3]			G1	XPDAT[10]	GPIO-E5	G0	G0	G2	XPDAT[11]	GPIO-E6	G1	G1	G3	XPDAT[12]	GPIO-E7	G2	G2	G4	XPDAT[13]	GPIO-F0	G3	G3	G5	XPDAT[14]	GPIO-F1	G4	G4	G6	XPDAT[15]	GPIO-F2	G5	G5	G7	XPDAT[16]	GPIO-D4/ XKOUT[1]			R0	XPDAT[17]	GPIO-D5/ XKOUT[2]			R1	XPDAT[18]	GPIO-D7/ XKOUT[4]		R0	R2	XPDAT[19]	GPIO-F3	R0	R1	R3	XPDAT[20]	GPIO-F4	R1	R2	R4	XPDAT[21]	GPIO-F5	R2	R3	R5	XPDAT[22]	GPIO-F6	R3	R4	R6	XPDAT[23]	GPIO-F7	R4
Pin Name	Digital TFT Interface																																																																																																																																	
TFT output Setting	11b (GPIO)	10b (16-bits)	01b (18-bits)	00b (24-bits)																																																																																																																														
XPDAT[0]	GPIO-D0/ XKIN[1]			B0																																																																																																																														
XPDAT[1]	GPIO-D1/ XKIN[2]			B1																																																																																																																														
XPDAT[2]	GPIO-D6/ XKIN[4]		B0	B2																																																																																																																														
XPDAT[3]	GPIO-E0	B0	B1	B3																																																																																																																														
XPDAT[4]	GPIO-E1	B1	B2	B4																																																																																																																														
XPDAT[5]	GPIO-E2	B2	B3	B5																																																																																																																														
XPDAT[6]	GPIO-E3	B3	B4	B6																																																																																																																														
XPDAT[7]	GPIO-E4	B4	B5	B7																																																																																																																														
XPDAT[8]	GPIO-D2/ XKIN[3]			G0																																																																																																																														
XPDAT[9]	GPIO-D3/ XKOUT[3]			G1																																																																																																																														
XPDAT[10]	GPIO-E5	G0	G0	G2																																																																																																																														
XPDAT[11]	GPIO-E6	G1	G1	G3																																																																																																																														
XPDAT[12]	GPIO-E7	G2	G2	G4																																																																																																																														
XPDAT[13]	GPIO-F0	G3	G3	G5																																																																																																																														
XPDAT[14]	GPIO-F1	G4	G4	G6																																																																																																																														
XPDAT[15]	GPIO-F2	G5	G5	G7																																																																																																																														
XPDAT[16]	GPIO-D4/ XKOUT[1]			R0																																																																																																																														
XPDAT[17]	GPIO-D5/ XKOUT[2]			R1																																																																																																																														
XPDAT[18]	GPIO-D7/ XKOUT[4]		R0	R2																																																																																																																														
XPDAT[19]	GPIO-F3	R0	R1	R3																																																																																																																														
XPDAT[20]	GPIO-F4	R1	R2	R4																																																																																																																														
XPDAT[21]	GPIO-F5	R2	R3	R5																																																																																																																														
XPDAT[22]	GPIO-F6	R3	R4	R6																																																																																																																														
XPDAT[23]	GPIO-F7	R4	R5	R7																																																																																																																														

4.7 频率与复位与测试模式 (6 引脚)

引 腳 名 稱	I/O	引 腳 說 明
XI (XCLK1)	I	Crystal 输入/Clock 1 输入 建议外接的 Crystal 频率范围必须是 10MHz。 当 XTEST[0] pin 被设置为低准位时，XI (XCLK1) 脚位是被提供给内部相关的 PLL 电路使用，所以在这样的应用条件下，XI (XCLK1) 脚位必须要连接到一个外部的 crystal，以便产生 RA8889 所需相关的频率讯号。 相反地，当 XTEST[0] pin 被设置为高准位时，XI (XCLK1) 脚位将被拿来当作外部频率的输入引脚。
XO	O	Crystal 输出 XO 脚位为内部相关 PLL 电路的输出引脚，XO 脚位应该被连接至外部的 crystal。
XNRST	I/OC	复位输入信号 为了避免噪声产生错误的复位信号，外部复位信号的准位必须最少要有 256 OSC 的频率周期。
XTEST[0]	I	频率测试模式 内建 pull down 电阻 此引脚是提供给芯片测试使用的，在标准操作上此引脚应该要连接至 GND。 0: 标准模式，使用内部 PLL 频率。 1: 忽略 PLL，芯片频率改使用外部 CLK1I、CLK2I、CLK3I 输入。
XTEST[2:1]	I	芯片测试模式 00: 标准模式。 01: 令 SPI master 引脚浮接 (使用在 in-system-programming)。 1X: 保留。

4.8 电源与接地

引 腳 名 稱	I/O	引 腳 說 明
LD01_OUT LD02_OUT LD03_OUT	P	LDO 外接电容 外接 1uF 电容到地。
VDD33	P	IO VDD 3.3V IO 电源输入。
VSS	P	GND IO Cell/Core 接地。